

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10173485 A**

(43) Date of publication of application: **26 . 06 . 98**

(51) Int. Cl

**H03H 17/02  
H03H 15/02  
H04B 1/707**

(21) Application number: **08329561**

(22) Date of filing: **10 . 12 . 96**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **SUZUKI KUNIYUKI**

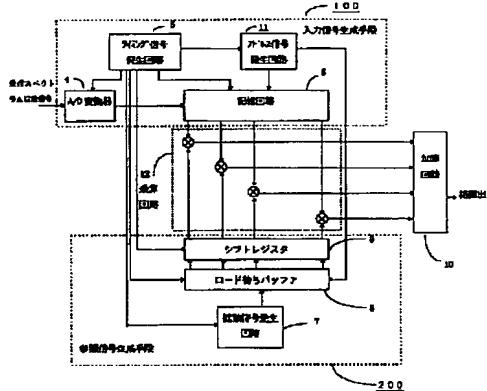
**(54) DIGITAL MATCHED FILTER**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To reduce power consumption in each digital circuit block by storing plural sampling-processed quantization bit input data in a specified storage place decided according to the sampling, and shifting a diffusion code column in one bit constitution being a reference data column.

**SOLUTION:** A timing signal generating circuit 5 samples-and-holds a reception spectrum diffusion signal generated by a receiver in each diffusion code time, and generates a sample timing signal, and input data being a digital signal are outputted from an A/D converter 4. An address signal generating circuit 11 generates the address of a storage place in which input data in a storage circuit 6 are stored, and successively indicates the address for each sampling, and data are individually stored in each storage place. On the other hand, each diffusion code constituting a diffusion code column generated by a diffusion code generating circuit 7 is loaded to a shift register 9, and the shift register 9 shifts the diffusion code column in each diffusion code time.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173485

(43)公開日 平成10年(1998)6月26日

(51) Int.Cl.<sup>6</sup>  
H 0 3 H 17/02  
15/02  
H 0 4 B 17/02

識別記号  
601

F I  
H 0 3 H 17/02  
15/02  
H 0 4 J 13/00

601Z

審査請求 未請求 請求項の数9 OL (全 18 頁)

(21)出願番号 特願平8-329561

(22)出願日 平成8年(1996)12月10日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 鈴木 邦之

東京都千代田区丸

## 菱電機株式会社内

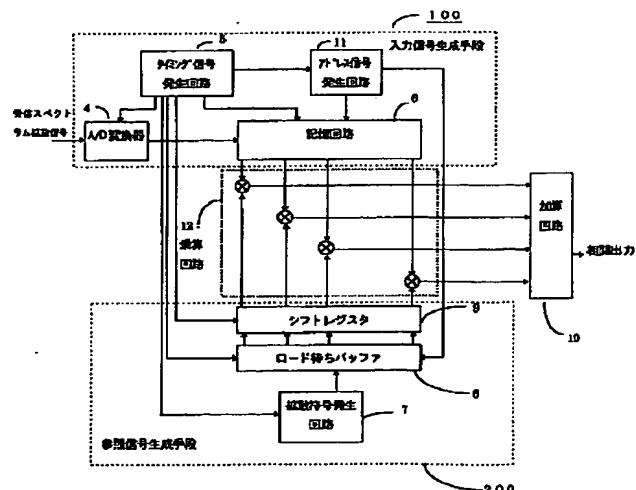
(74)代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 デジタルマッチドフィルタ

(57) 【要約】

【課題】 デジタルマッチドフィルタの低消費電力化を行う。

**【解決手段】** A/D変換器でサンプルした受信信号をシフトしないで蓄積する記憶回路と、A/D変換器の出力を蓄積するためのアドレスを制御するアドレス信号発生回路と、受信するための拡散符号を生成する参照データ生成回路と、前記参照データ生成回路の出力をシフトするためのシフトレジスタあるいはリング状のシフトレジスタと、前記シフトしない記憶回路の出力と前記シフトレジスタの出力を乗算する乗算回路と、乗算回路の出力を加算する加算回路と、これらのタイミングを制御するタイミング信号発生回路で構成される。



**【特許請求の範囲】**

**【請求項1】** 相関処理を行うために、

情報ビットにより構成される情報信号に所定の拡散符号長の拡散符号列を用いてスペクトラム拡散を施した受信スペクトラム拡散信号を所定のタイミングで順次サンプリングし量子化し、生成される入力データを記憶するとともに、記憶された複数の前記入力データである入力データ列を出力する入力信号生成手段と、

前記入力データ列に対応させ、前記受信スペクトラム拡散信号に用いられた拡散符号列と同一の拡散符号列により生成される参照データ列を出力する参照信号生成手段と、

前記入力データ列と前記参照データ列との対応するデータ同士を乗算し、生成される複数の乗算データを出力する乗算回路と、

この複数の乗算データを加算し、生成される相関値を出力する加算回路とを備え、

前記入力信号生成手段は、

前記入力データに応じた個別の記憶場所を指示するアドレス信号に基づき、少なくとも前記拡散符号長に相当する期間に生成される前記入力データを個別に記憶できる複数の記憶場所を有するとともに、前記タイミングに応じて前記入力データ列を出力する記憶回路を備え、

前記参照信号生成手段は、

前記タイミングに応じて前記参照データ列をシフトし出力するシフトレジスタを備えたことを特徴とするデジタルマッチドフィルタ。

**【請求項2】** 相関処理の対象となる1情報ビット長を越える部分の乗算データについては、前記乗算データに替え、あらかじめ設定されている無入力状態を示すヌルデータを加算回路に入力するようにしたことを特徴とする請求項1に記載のデジタルマッチドフィルタ。

**【請求項3】** 相関処理の対象となる1情報ビット長を越える部分の入力データについては、前記入力データに換え、あらかじめ設定されている無入力状態を示すヌルデータを乗算回路に入力するようにしたことを特徴とする請求項1に記載のデジタルマッチドフィルタ。

**【請求項4】** 参照信号生成手段は、

相関処理の対象となる1情報ビット長を越える部分の参照データについては拡散符号に換え、あらかじめ設定されている無入力状態を示す前記ヌルデータを用い参照データ列を生成し出力するようにしたことを特徴とする請求項1に記載のデジタルマッチドフィルタ。

**【請求項5】** 参照信号生成手段は、

1拡散符号長内のサンプリング回数だけ繰り返された拡散符号により構成された参照符号列より参照データ列を生成し出力するようにしたことを特徴とする請求項1から4のいずれかに記載のデジタルマッチドフィルタ。

**【請求項6】** シフトレジスタからの出力を第2の参照データ列とし、

この第2の参照データ列を保持し、新たに参照データ列として出力するラッピング回路と、

入力データ列と前記第2の参照データ列との対応するデータ同士を乗算し、生成される複数の第2の乗算データを出力する第2の乗算回路と、

この複数の第2の乗算データを加算し、生成される第2の相関値を出力する第2の加算回路と、

この第2の相関値とあらかじめ設定されている参照相関値とを比較し、判定結果を出力する判定手段とを備え、

前記判定結果に基づき乗算回路から出力される乗算データまたはあらかじめ設定されている無入力状態を示すヌルデータのいずれかのデータを選択し、加算回路に入力するようにしたことを特徴とする請求項1から5のいずれかに記載のデジタルマッチドフィルタ。

**【請求項7】** シフトレジスタからの出力を第2の参照データ列とし、この第2の参照データ列を保持し、新たに参照データ列として出力するラッピング回路と、

入力データ列と前記第2の参照データ列との対応するデータ同士を乗算し、生成される複数の第2の乗算データを出力する第2の乗算回路と、

この複数の第2の乗算データを加算し、生成される第2の相関値を出力する第2の加算回路と、

この第2の相関値とあらかじめ設定されている参照相関値とを比較し、判定結果を出力する判定手段とを備え、前記判定結果に基づき記憶回路から出力される入力データまたはあらかじめ設定されている無入力状態を示すヌルデータのいずれかのデータを選択し、乗算回路に入力するようにしたことを特徴とする請求項1から5のいずれかに記載のデジタルマッチドフィルタ。

**【請求項8】** 第2の乗算回路は、  
記憶回路から出力される入力データ列の内、一部の入力データに対してのみ、対応する第2の参照データとの乗算を行い、第2の乗算データを出力するようにしたことを特徴とする請求項6または7に記載のデジタルマッチドフィルタ。

**【請求項9】** 第2の乗算回路は、

記憶回路から出力される入力データの複数の量子化ビットの内、一部の量子化ビットに対してのみ、対応する第2の参照データとの乗算を行い、第2の乗算データを出力するようにしたことを特徴とする請求項6または7に記載のデジタルマッチドフィルタ。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】** 本発明は、スペクトラム直接拡散通信方式の受信装置等で用いられるデジタルマッチドフィルタに関する。

**【0002】**

**【従来の技術】** 情報信号に広帯域の拡散符号を乗じて送信し、受信信号では逆拡散して狭帯域信号に戻す、いわゆるスペクトラム直接拡散通信方式は、受信電波のC/

N(キャリア・ノイズ比)が悪くても情報信号を検出できるので、移動体通信システムの多元接続方式の1つである符号分割多元接続(CDMA(:Code Division Multiple Access))に有望であり、装置の低消費電力化が望まれている。

【0003】デジタルマッチドフィルタは、受動相関器としての利点を活かした拡散符号(チップ:拡散符号列を構成する各拡散符号を「チップ」という)時間毎の出力を利用して、同期タイミング抽出のための高速な同期捕捉、同期追尾、さらに抽出された前記同期タイミングを用いたデータ復調に使用できることが知られている。また、1拡散符号時間より短い時間、受信するタイミングがずれているような場合にも、アナログ/A/D変換器(以下、「A/D変換器」という)のサンプリングを1拡散符号時間の1/2、1/4、1/8、1/16等のタイミングで行い、1拡散符号時間の1/2、1/4、1/8、1/16毎の相関出力を得ることにより、精度の高い同期捕捉、同期追尾、データ復調に使用できることが知られている。

【0004】受動相関器の構成例として、ここでは最も簡単な構成となるBPSK(:Bi-Phase Shifted Key)対応のマッチドフィルタの構成を図10を用いて説明する。スペクトラム拡散の受信機においては、受信した信号を周波数変換しベースバンド信号の周波数に落とす。この信号をサンプルホールドし、入力信号としてマッチドフィルタに入力する。入力信号は遅延線1にシリアルに入力した後、各遅延時間毎の信号がパラレルに出力される。このパラレル出力は各タップ2で各遅延時間毎の出力に応じて重み付けが行われる。重み付けが行われた前記のパラレル出力は加算回路3で全て加算され相関出力(相関値)として出力される。

【0005】次に、上記マッチドフィルタをデジタル的に実現する一例としてデジタルマッチドフィルタの動作を図11を用いて説明する。図11と類似するブロック構成は、例えば特開平7-58669号公報等に紹介されている。受信機で生成された受信ベースバンド信号である受信スペクトラム拡散信号は、タイミング信号発生回路5からのタイミングに従ってサンプリングされ、A/D変換器4でデジタル信号に変換される。このデジタル信号はシフトレジスタ31に順次入力される。一方、参照データとなる拡散符号は拡散符号発生回路7で生成され、一度ロード待ちバッファ8に入力された後、乗算用のバッファ30に入力される。ここでロード待ちバッファ8は通常の拡散に用いられる情報1シンボルと同程度の長さの「短拡散コード」に加え、情報1シンボルの長さよりも十分に長い「長拡散コード」も用いて拡散を施すようなスペクトラム拡散方式において用いられ、前記拡散符号発生回路7から出力される拡散符号列を一時的に蓄積するためのバッファである。従って「長拡散コード」を用いない方式ではロード待ちバッファ8は特に

必要ではない。乗算回路12ではシフトレジスタ31からのパラレル出力とバッファ30からのパラレル出力との乗算が行われる。この乗算結果は加算回路10で加算され相関出力として出力され、同期捕捉、同期追尾、データ復調などに用いられる。上記説明では、A/D変換器4のビット数には特に言及しなかったが、一般には量子化誤差を軽減し性能向上を図るために複数ビットのA/D変換器が用いられる(一般に複数ビットを用いた判定処理を軟判定処理、1ビットを用いた判定処理を硬判定処理という)。従ってシフトレジスタ31も前記の複数ビットを蓄積できる構成とする必要がある。

【0006】図12は情報信号と拡散符号との関係を説明するための説明図である。情報信号は基本単位である情報ビットが複数集まって構成されている。拡散符号例1では1情報ビット長を00110の5つの拡散符号で拡散している。このとき拡散符号長=5と表現する。一方、拡散符号例2では2情報ビットを0011010011の10の拡散符号で拡散している。このとき拡散符号長=10と表現する。ただし1情報ビットあたりでは5つの拡散符号で拡散していることとなる。また、1つの拡散符号を乗じている時間を1拡散符号時間と表現する。拡散符号例1と2は、それぞれ同じ1拡散符号時間の例を示している。

#### 【0007】

【発明が解決しようとする課題】従来の構成のデジタルマッチドフィルタでは、サンプルした受信信号をシフトレジスタに蓄積し、サンプル毎に受信信号をシフトする構成となっている。特に性能向上のために複数ビットのA/D変換器が用いられる場合には、シフトレジスタもこの複数ビットを蓄積し更にシフトする必要がある。一般にデジタル回路においては信号の変化時に回路内の電位が変動し電力が消費される(特にCMOSなどのプロセスを使用したデバイスは、出力信号の0、1を変化させるときに消費電力を必要とすることが知られている)。従って複数ビット対応のシフトレジスタにおいてもデータのシフト時に消費電力が大幅に大きくなってしまうという問題があった。

【0008】この発明は上記のような問題点を解決するためになされたもので、主たる目的は、デジタルマッチドフィルタを構成する各デジタル回路ブロックでの消費電力を低減し、低消費電力のデジタルマッチドフィルタを得ることである。

#### 【0009】

【課題を解決するための手段】この発明に係るデジタルマッチドフィルタにおいては、相関処理を行うために、情報ビットにより構成される情報信号に所定の拡散符号長の拡散符号列を用いてスペクトラム拡散を施した受信スペクトラム拡散信号を所定のタイミングで順次サンプリングし量子化し、生成される入力データを記憶するとともに、記憶された複数の前記入力データである入力デ

ータ列を出力する入力信号生成手段と、前記入力データ列に対応させ、前記受信スペクトラム拡散信号に用いられた拡散符号列と同一の拡散符号列より生成される参照データ列を出力する参照信号生成手段と、前記入力データ列と前記参照データ列との対応するデータ同士を乗算し、生成される複数の乗算データを出力する乗算回路と、この複数の乗算データを加算し、生成される相関値を出力する加算回路とを備え、前記入力信号生成手段は、前記入力データに応じた個別の記憶場所を指示するアドレス信号に基づき、少なくとも前記拡散符号長に相当する期間に生成される前記入力データを個別に記憶できる複数の記憶場所を有するとともに、前記タイミングに応じて前記入力データ列を出力する記憶回路を備え、前記参照信号生成手段は、前記タイミングに応じて前記参照データ列をシフトし出力するシフトレジスタを備えるようにしたものである。

【0010】また、相関処理の対象となる1情報ビット長を越える部分の乗算データについては、前記乗算データに替え、あらかじめ設定されている無入力状態を示すヌルデータを加算回路に入力するようにしたものである。

【0011】また、相関処理の対象となる1情報ビット長を越える部分の入力データについては、前記入力データに替え、あらかじめ設定されている無入力状態を示すヌルデータを乗算回路に入力するようにしたものである。

【0012】また、参照信号生成手段は、相関処理の対象となる1情報ビット長を越える部分の参照データについては拡散符号に替え、あらかじめ設定されている無入力状態を示す前記ヌルデータを用い参照データ列を生成し出力するようにしたものである。

【0013】また、参照信号生成手段は、1拡散符号長内のサンプリング回数だけ繰り返された拡散符号により構成された参照データ列より参照データ列を生成し出力するようにしたものである。

【0014】また、シフトレジスタからの出力を第2の参照データ列とし、この第2の参照データ列を保持し、新たに参照データ列として出力するラッチ回路と、入力データ列と前記第2の参照データ列との対応するデータ同士を乗算し、生成される複数の第2の乗算データを出力する第2の乗算回路と、この複数の第2の乗算データを加算し、生成される第2の相関値を出力する第2の加算回路と、この第2の相関値とあらかじめ設定されている参照相関値とを比較し、判定結果を出力する判定手段とを備え、前記判定結果に基づき乗算回路から出力される乗算データまたはあらかじめ設定されている無入力状態を示すヌルデータのいずれかのデータを選択し、加算回路に入力するようにしたものである。

【0015】また、シフトレジスタからの出力を第2の参照データ列とし、この第2の参照データ列を保持し、

10 新たに参照データ列として出力するラッチ回路と、入力データ列と前記第2の参照データ列との対応するデータ同士を乗算し、生成される複数の第2の乗算データを出力する第2の乗算回路と、この複数の第2の乗算データを加算し、生成される第2の相関値を出力する第2の加算回路と、この第2の相関値とあらかじめ設定されている参照相関値とを比較し、判定結果を出力する判定手段とを備え、前記判定結果に基づき記憶回路から出力される入力データまたはあらかじめ設定されている無入力状態を示すヌルデータのいずれかのデータを選択し、乗算回路に入力するようにしたものである。

【0016】また、第2の乗算回路は、記憶回路から出力される入力データ列の内、一部の入力データに対してのみ、対応する第2の参照データとの乗算を行い、第2の乗算データを出力するようにしたものである。

【0017】また、第2の乗算回路は、記憶回路から出力される入力データの複数の量子化ビットの内、一部の量子化ビットに対してのみ、対応する第2の参照データとの乗算を行い、第2の乗算データを出力するようにしたものである。

#### 【0018】

##### 【発明の実施の形態】

実施の形態1. 以下、本発明の実施の形態1について説明する。図1はこの実施の形態1であるデジタルマッチドフィルタのブロック図である。ここでは説明をわかりやすくするために最も簡単な構成となるBPSK対応のデジタルマッチドフィルタとして説明する。

【0019】まず構成を説明する。図において、4は受信機で生成された受信ベースバンド信号である受信スペクトラム拡散信号を後述するタイミング発生回路5からの所定のサンプルタイミングでサンプリングし、所定の量子化ビット数のデジタル信号である入力データに変換するA/D変換器、5は前記A/D変換器4の動作に用いられるサンプルタイミングを含め、後述する各ブロック構成での動作に必要な各種のタイミング信号を生成するタイミング信号発生回路、11は前記A/D変換器4から出力される入力データを、サンプリングの順位に応じ、後述する記憶回路6の対応する記憶場所に記憶するためのアドレス信号を生成するアドレス信号発生回路、

30 40 6は前記入力データを前記アドレス信号が指定する記憶場所に記憶するとともに、記憶された各記憶場所の入力データを、前記タイミング発生回路5からの所定のタイミングで複数の入力データである入力データ列として出力する記憶回路である。ここで、前記4、5、6、11の構成ブロックにより入力信号生成手段100が構成されている

【0020】7は前記受信スペクトラム拡散信号に用いられている拡散符号列と同一の拡散符号列を生成する拡散符号発生回路、8は「長拡散コード」が使用される場合に前記拡散符号発生回路7からの拡散符号列を一時的

に蓄積し、新たに拡散符号列として出力するロード待ちバッファ、9はロード待ちバッファ8からの拡散符号列を受け、A/D変換器4でのサンプリングの間隔に合わせた前記タイミング信号生成回路5からのタイミングで前記拡散符号列をシフトするとともに、参照データ列として出力するシフトレジスタである。ここで、前記7、8、9の構成ブロックにより参照信号生成手段200が構成されている。

【0021】12は記憶回路6からの入力データ列とシフトレジスタ9からの参照データ列との対応するデータ同士を乗算し、生成される複数の乗算データを出力する乗算回路、10はこの複数の乗算データを加算し、生成される相関値を出力する加算回路である。

【0022】次に、動作の主要点を説明する。ここでは、A/D変換器4でのサンプリングを1拡散符号時間（1拡散符号長に相当する時間）毎に行う例で説明する。タイミング信号発生回路5は受信機で生成された受信スペクトラム拡散信号を1拡散符号時間毎にサンプルホールドし、A/D変換できるようなサンプルタイミング信号を生成する。このサンプルタイミング信号によりA/D変換器4からデジタル信号である入力データが出力される。ここでA/D変換の量子化ビット数としては、量子化誤差を軽減するという観点から複数ビットとすることが望ましい。アドレス信号発生回路11は記憶回路6内の前記入力データを記憶する記憶場所のアドレスを生成する。回路の構成を簡単にするために出力されるアドレスとしては例えば前記受信スペクトラム拡散信号のサンプリングの順番に応じてサイクリックに1つずつずれる値とするのが望ましい。記憶回路6は1情報ビットがn個の拡散符号（拡散符号長はn）で拡散されているとき少なくともこれに対応したメモリ容量が必要である。すなわち、A/D変換の量子化ビット数をmビットとすれば少なくとも $(m \times n)$ ビットのメモリ容量が必要である。また、A/D変換器4からの出力である入力データを書き込むタイミングと乗算回路へ入力データ列を出力するタイミングは同時にならないよう制御されている。図2は記憶回路6内の細部構成を示すブロック図である。サンプリング毎にアドレス1～nが順次指示され、サンプリングデータはn個の記憶場所1～nに個別に記憶される。各記憶場所はmビットの量子化データが記憶できる。また記憶場所1～nからの出力はn個が全て同時に出力されるようになっている。

【0023】一方、拡散符号発生回路7で生成された拡散符号列を構成する各拡散符号はロード待ちバッファ8にシリアルに出力される。ロード待ちバッファ8からシフトレジスタ9への拡散符号列のロードは通常1情報ビットに対応したタイミング毎にパラレルに行われる。このシフトレジスタ9は、1拡散符号時間毎に拡散符号列のシフトを行い、オーバフローした拡散符号が最後尾に入力されるようなリング状の構成となっている。

【0024】記憶回路6の入力データ列とシフトレジスタ9の参照データ列は乗算回路12で乗算され、その結果が加算回路10に入力される。この加算結果により拡散符号時間毎の相関出力が得られる。

【0025】以上のように、本実施の形態1では、サンプリングされた複数の量子化ビットの入力データをサンプリングに応じて決められた特定の記憶場所に蓄積しシフトさせず、参照データ列となる1ビット構成の拡散符号列をシフトする構成としたため、回路ブロック構成中のサンプリング毎におけるデータのシフトする回路素子が少なくて済み、回路内における0、1の電位の変化を低減することができるので、低消費電力化を実現できるという効果がある。

【0026】実施の形態2、次に本発明の実施の形態2について説明する。本実施の形態2では1情報ビット長が拡散符号長と異なる場合（一般には、拡散符号長>1情報ビット長）について説明する。図3はこの実施の形態2であるデジタルマッチドフィルタのブロック図である。

【0027】図において、4～12は図1に示す実施の形態1の構成と同じであるので説明を省略する。13は乗算回路からの出力である乗算データまたは無入力状態を示すヌルデータのいずれかのデータを選択する選択回路であって、各乗算データの出力毎にセレクタが設けられている。ここでは、GNDレベルをヌルデータとして選択する例を示している。14は選択回路13を制御する加算窓制御回路であって、相関処理の対象となる1情報ビット長を越える部分の乗算データについてはヌルデータを用い乗算データを生成するようにデータの選択を行う。

【0028】次に、動作の主要点を説明する。本実施の形態2においては、A/D変換器4でのサンプリングを1拡散符号時間毎に行う例で説明する。本実施の形態2の場合のように、拡散符号長>1情報ビット長の場合には、記憶回路6のメモリ容量は1情報ビット分のメモリ容量よりも大きくする必要がある。すなわち、A/D変換の量子化ビット数をmビット、拡散符号長を $(n + \alpha)$ ビット（ここで、nは1拡散符号長を1ビットとして正規化した1情報ビット長（つまり1情報ビット当たりのサンプリング回数）を、 $\alpha$ は1情報ビット長を越える拡散符号長部分の長さ（つまり1情報ビットを越える部分のサンプリング回数）である）とすれば、少なくとも $\{m \times (n + \alpha)\}$ ビットのメモリ容量が必要である。

【0029】記憶回路6からの出力である入力データ列と、シフトレジスタ9からの出力である参照データ列が乗算されるため、 $\alpha$ 個の乗算結果は1情報ビット長以外の情報となり、加算結果の計算精度を劣化させる。そこで、加算窓制御回路14では、選択回路13内の各セレクタを制御することにより計算を行う対象の1情報ビッ

ト長以外のところは0を選択する。これにより、 $\alpha$ 個の乗算結果に影響されることなく加算回路10で加算することが可能となり、拡散符号時間毎の相関出力が得られる。

**【0030】**以上のように、本実施の形態2では、相関処理の対象となる1情報ビット長を越える部分の乗算データについてはあらかじめ設定されている無入力状態を示すヌルデータを用い乗算データを生成し、加算回路に入力するようにしたので、1情報ビット長を越える部分の相関出力への影響がなくなり、より精度の高い相関処理を行うことができるという効果がある。

**【0031】**実施の形態3。次に本発明の実施の形態3について説明する。本実施の形態3では実施の形態2の場合と同様に1情報ビット長が拡散符号長と異なる場合（一般には、拡散符号長>1情報ビット長）について説明する。図4はこの実施の形態3であるデジタルマッチドフィルタのブロック図である。

**【0032】**図において、4～12は図1に示す実施の形態1の構成と同じであるので説明を省略する。16は記憶回路からの出力である入力データまたは無入力状態を示すヌルデータのいずれかのデータを選択する選択回路であって、各入力データの出力毎にセレクタが設けられている。ここでは、GNDレベルをヌルデータとして選択する例を示している。15は選択回路16を制御する乗算窓制御回路であって、相関処理の対象となる1情報ビット長を越える部分の入力データについてはヌルデータを用い入力データを生成するようにデータの選択を行う。

**【0033】**次に、動作の主要点を説明する。実施の形態2での説明同様、A/D変換器4でのサンプリングを1拡散符号時間毎に行う例で説明する。本実施の形態3の場合のように、拡散符号長>1情報ビット長の場合は、記憶回路6のメモリ容量は1情報ビット分のメモリ容量よりも大きくする必要がある。すなわち、A/D変換の量子化ビット数をmビット、拡散符号長を $(n+\alpha)$ ビット（ここで、nは1拡散符号長を1ビットとして正規化した1情報ビット長（つまり1情報ビット当たりのサンプリング回数）を、 $\alpha$ は1情報ビット長を越える拡散符号長部分の長さ（つまり1情報ビットを越える部分のサンプリング回数）である）とすれば、少なくとも $\{m \times (n+\alpha)\}$ ビットのメモリ容量が必要である。

**【0034】**記憶回路6からの出力である入力データ列と、シフトレジスタ9からの出力である参照データ列が乗算されるため、 $\alpha$ 個の乗算結果は1情報ビット長以外の情報となり、加算結果の計算精度を劣化させる。そこで、乗算窓制御回路15では、選択回路16内の各セレクタを制御することにより計算を行う対象の1情報ビット長以外のところは0を選択する。これにより、余剰の $\alpha$ 個の乗算結果は0に固定され、 $\alpha$ 個の乗算結果に影響

されることなく加算回路10で加算することが可能となり、拡散符号時間毎の相関出力が得られる。

**【0035】**以上のように、本実施の形態3では、相関処理の対象となる1情報ビット長を越える部分の入力データについてはあらかじめ設定されている無入力状態を示すヌルデータを用い入力データを生成し、乗算回路に入力するようにしたので、1情報ビット長を越える部分の相関出力への影響がなくなり、より精度の高い相関処理を行うことができるという効果がある。

**【0036】**実施の形態4。次に本発明の実施の形態4について説明する。本実施の形態4では実施の形態3の場合と同様に1情報ビット長が拡散符号長と異なる場合（一般には、拡散符号長>1情報ビット長）について説明する。図5はこの実施の形態4であるデジタルマッチドフィルタのブロック図である。

**【0037】**図において、4～16は図4に示す実施の形態3の構成と同じであるので説明を省略する。17は相関処理の対象となる1情報ビット長を越える部分の余剰の $\alpha$ ビットに相当する拡散符号すべて無入力状態を示すヌルデータ（0あるいは1）を満たす空き詰め回路である。

**【0038】**次に、動作の主要点を説明する。実施の形態3での説明同様、A/D変換器4でのサンプリングを1拡散符号時間毎に行う例で説明する。A/D変換器4でのサンプリングデータが、符号ビットをMSBに持ち2の補数形式の出力である場合、あるいは、A/D変換器4の出力を符号ビットをMSBとする2の補数形式に変換してから記憶回路6に蓄積する場合、乗算回路12は排他的論理和などの簡易な反転回路で構成されることが知られている。この場合、記憶回路6の出力に設けられている選択回路16が $\alpha$ 個の余剰ビットに0を選択しても乗算結果は必ずしも0とならない。そこで、拡散符号発生回路7からの拡散符号列を、空き詰め回路17に入力して、前記拡散符号列に余剰の $\alpha$ ビットに対応して乗算結果が0になるようなビットをはじめから埋め込む。埋め込むビットは構成によりすべて0であったり、すべて1であったりする。例えば、乗算回路12が排他的論理和出力の反転回路から構成され、加算回路10では0入力をヌルデータと扱う構成である場合を考える。

このとき、送信側での拡散符号が00101であると、拡散符号発生回路7では00101を生成し、選択回路16で余剰ビットに0を選択し、空き詰め回路では1を割り当てる構成となる。これにより、余剰の $\alpha$ 個の乗算結果は0に固定され、前記乗算結果に影響されることなく加算回路10で加算することが可能となり、拡散符号毎の相関出力が得られる。

**【0039】**以上のように、本実施の形態4では、相関処理の対象となる1情報ビット長を越える部分の参照データについてはあらかじめ設定されている無入力状態を示すヌルデータを用い参照データを生成し、乗算回路に

入力するようにしたので、1情報ビット長を越える部分の相関出力への影響がなくなり、より精度の高い相関処理を行うことができるという効果がある。

**【0040】** 実施の形態5. 次に本発明の実施の形態5について説明する。本実施の形態5では1拡散符号時間内で複数回サンプリングが行われる場合について説明する。図6はこの実施の形態5であるデジタルマッチドフィルタのブロック図である。

**【0041】** 図において、4～17は図5に示す実施の形態4の構成と同じであるので説明を省略する。18は1拡散符号長内のサンプリング回数だけ拡散符号と空き詰めに使用するビットを繰り返し出力する繰り返し制御回路である。

**【0042】** 次に、動作の主要点を説明する。1拡散符号時間より短い時間、受信するタイミングがずれているときを考慮して、A/D変換器4のサンプリングを1拡散符号時間の $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ などを行う構成が一般に知られている。ここでは $1/2$ の場合の、いわゆる2倍オーバサンプリング時の例で説明する。さらに、拡散符号発生回路において00101を生成し、余剰ビットが5ビットあり、加算回路10でヌルデータとするために、空き詰め回路ではすべて1を出力する構成である例で示す。拡散符号発生回路では「00101」を出力し、空き詰め回路17では「11111」を出力する。これを繰り返し制御回路18に入力すると、「0000110011111111111111」となる。これをシフトレジスタ9に入力し、参照データ列として用いることにより、 $1/2$ 拡散符号毎の相関出力が得られる。

**【0043】** 以上のように、本実施の形態5では、元の拡散符号あるいはヌルデータを繰り返し生成することにより簡単な構成でオーバサンプリング時の相関処理に対応できるという効果がある。

**【0044】** 実施の形態6. 次に本発明の実施の形態6について説明する。図7はこの実施の形態6であるデジタルマッチドフィルタのブロック図である。

**【0045】** 図において、4～18は図6に示す実施の形態5の構成と同じであるので説明を省略する。19はシフトレジスタ9の出力をラッチするラッチ回路19である。以下の説明では、前記ラッチ回路の入力であるシフトレジスタ9からの出力を第2の参照データ列（時間的に早い参照データとなる）、前記ラッチ回路の出力を単に参照データ列（時間的に遅い参照データとなる）というものとする。20は前記第2の参照データ列と記憶回路からの出力である入力データ列とを掛け合わせる第2の乗算回路、21は前記第2の乗算回路の出力を加算する第2の加算回路、22は前記第2の加算回路の出力により判定を行う判定回路である。13は第1の乗算回路12の出力を制御する選択回路であって、加算窓制御回路14と前記判定回路22に従って乗算データあるいは

はヌルデータのどちらかを選択する。また、ここに言う第1の乗算回路12とは、シフトレジスタ9からの出力をラッチすることにより時間的に遅くなった参照データ列を、記憶回路6の出力と掛け合わせる乗算回路を指す。

**【0046】** 次に、動作の主要点を説明する。シフトレジスタ9からの出力は、第2の加算回路21および判定回路22の動作に要する時間分だけ遅らせてラッチ回路19にてラッチされる。前記加算および判定にA/D変換器4のサンプリングレートより長い時間を要するときには多段階のラッチ回路にする必要がある。以下は、前記加算および判定が1サンプリングに要する時間以内に終了する場合、すなわち、ラッチ回路19が1段のラッチで構成される場合について説明する。

**【0047】** ラッチ回路19に入力する信号（時間的に早い参照データ列）は、第2の乗算回路20に入力され、記憶回路6と乗算される。この乗算結果を第2の加算回路21で加算し、この結果が判定回路22に入力される。この判定回路22では、あらかじめ設定されている既定値である参照相関値より小さい値であるか否かを検出する。小さいと検出された場合、加算窓制御回路14に検出結果を戻し、ラッチ回路へのクロックの供給を止める（ラッチデータを更新しない）。シフトレジスタ9にはクロックが供給され続け、次のサイクル（1サンプリングに要する時間後）には新たな情報が第2の加算回路に供給される。また、判定回路22の出力は第1の乗算回路12用の選択回路13にも入力される。ある既定値より小さいことを示す情報が入力されると前記セレクタ13はヌルデータである0を選択し、また、加算窓制御回路14は前記セレクタ13への制御を変化させない（窓の位置をずらさない）。これにより連続してある既定値より小さい相関出力しか得られない状態のとき、記憶回路6に新しく蓄積されたビットを除いた第1の乗算回路12、ラッチ回路19、選択回路13、加算回路10が電位レベルを0、1変化させることなくなる一方、ある既定値以上の相関出力は正確に得られる。

**【0048】** 以上のように、本実施の形態6では、相関出力がある規定値以下の時は乗算回路、ラッチ回路、選択回路、加算回路等が動作しないようにしたので、低消費電力化を実現できるという効果がある。

**【0049】** 実施の形態7. 次に本発明の実施の形態7について説明する。図8はこの実施の形態7であるデジタルマッチドフィルタのブロック図である。

**【0050】** 図において、4～18は図6に示す実施の形態5の構成と同じであるので説明を省略する。19はシフトレジスタ9の出力をラッチするラッチ回路19である。以下の説明では、前記ラッチ回路の入力であるシフトレジスタ9からの出力を第2の参照データ列（時間的に早い参照データとなる）、前記ラッチ回路の出力を単に参照データ列（時間的に遅い参照データとなる）と

いうものとする。20は前記第2の参照データ列と記憶回路からの出力である入力データ列とを掛け合わせる第2の乗算回路、21は前記第2の乗算回路の出力を加算する第2の加算回路、22は前記第2の加算回路の出力により判定を行う判定回路である。23は第1の加算回路10の出力を制御する選択回路であって、前記判定回路22に従って加算データあるいはヌルデータのどちらかを選択する。また、ここに言う第1の乗算回路12とは、シフトレジスタ9からの出力をラッチすることにより時間的に遅くなった参照データ列を、記憶回路6の出力と掛け合わせる乗算回路を指す。

【0051】次に、動作の主要点を説明する。シフトレジスタ9からの出力は、第2の加算回路21および判定回路22の動作に要する時間分だけ遅らせてラッチ回路19にてラッチされる。前記加算および判定にA/D変換器4のサンプリングレートより長い時間を要するときには多段階のラッチ回路にする必要がある。以下は、前記加算および判定が1サンプリングに要する時間以内に終了する場合、すなわち、ラッチ回路19が1段のラッチで構成される場合について説明する。

【0052】ラッチ回路19に入力する信号（時間的に早い参照データ列）は、第2の乗算回路20に入力され、記憶回路6と乗算される。この乗算結果を第2の加算回路21で加算し、この結果が判定回路22に入力される。この判定回路22では、あらかじめ設定されている既定値である参照相関値より小さい値であるか否かを検出する。小さいと検出された場合、加算窓制御回路14に検出結果を戻し、ラッチ回路へのクロックの供給を止める（ラッチデータを更新しない）。シフトレジスタ9にはクロックが供給され続け、次のサイクル（1サンプリングに要する時間後）には新たな情報が第2の加算回路に供給される。また、記憶回路6用の選択回路16の窓制御は判定回路22の出力に左右されないため、判定回路22の出力は第1の加算回路10用の選択回路23を用いて、ヌルデータである0を選択するか否か制御する。これにより連続してある既定値より小さい相関出力しか得られない状態のとき、記憶回路6に新しく蓄積されたビットを除いた第1の乗算回路12、ラッチ回路19が電位レベルを0、1変化させなくなる一方、ある既定値以上の相関出力は正確に得られる。

【0053】以上のように、本実施の形態7では、相関出力がある規定値以下の時は乗算回路、ラッチ回路等が動作しないようにしたので、低消費電力化を実現できるという効果がある。

【0054】実施の形態8、次に本発明の実施の形態8について説明する。図9はこの実施の形態8であるデジタルマッチドフィルタのブロック図である。

【0055】図において、4～23は図8に示す実施の形態7の構成と同じであるので説明を省略する。なお、本実施の形態8においては、実施の形態7の構成に対し

て、第2の乗算回路20がシフトレジスタ9の出力と記憶回路6の出力の1部分のみ乗算を行う構成となっている。

【0056】次に、動作の主要点を説明する。ラッチ回路19に入力する信号（時間的に早い参照データ）は、第2の乗算回路20に入力され、記憶回路6からの出力と乗算される。この乗算結果を第2の加算回路21で加算するが、前記乗算結果の1部を加算すれば有意な相関出力が得られる。例えば、送信側で1情報ビットを64の拡散符号で広帯域に拡散し、受信側のデジタルマッチドフィルタすべて相関がとれたときを64、すべて相関がとれなかったときを-64の相関出力値とする条件で、判定回路22が前記最大相関値の1/4である16の相関値以上であるか否かを判定する回路とした場合で説明する。前記の条件は、正の相関になる数をa個すると負の相関になる数は64-aとなるので、

$$+a - (64 - a) \geq 16$$

故に  $a \geq 40$

となる。換言すると、24個負の相関値をもつ場合、あるいは、40個正の相関値を持つ場合はそれ以上の加算は必要とならない。従って、48個分の部分相関を行う構成とすれば、有意でない相関出力がランダムであるとすると1/2以上の確率で有意でない相関出力であることを検出できる。48より多くしていくと検出の確率は大幅に増加する。このように第2の乗算回路20のすべての乗算結果を加算しないでも十分有意な判定結果を出すことが出来る。

【0057】以上のように、本実施の形態8では、実施の形態7に比べ、第2の乗算回路、第2の加算回路を簡略化したので、さらに低消費電力化を実現できるという効果がある。

#### 【0058】

【発明の効果】以上のように、この発明によれば、サンプリングされた複数の量子化ビットの入力データをサンプリングに応じて決められた特定の記憶場所に蓄積しシフトせず、参照データ列となる1ビット構成の拡散符号列をシフトする構成としたため、回路ブロック構成中のサンプリング毎にデータのシフトする回路素子が少なくて済み、回路内における0、1の電位の変化を低減することができるので、低消費電力化を実現できるという効果がある。

【0059】また、相関処理の対象となる1情報ビット長を越える部分の乗算データについてはあらかじめ設定されている無入力状態を示すヌルデータを用い乗算データを生成し、加算回路に入力するようにしたので、1情報ビット長を越える部分の影響を除去でき、より精度の高い相関処理を行うことができるという効果がある。

【0060】また、相関処理の対象となる1情報ビット長を越える部分の入力データについてはあらかじめ設定されている無入力状態を示すヌルデータを用い入力データ

タを生成し、乗算回路に入力するようにしたので、1情報ビット長を越える部分の影響を除去でき、より精度の高い相関処理を行うことができるという効果がある。

【0061】また、相関処理の対象となる1情報ビット長を越える部分の参照データについてはあらかじめ設定されている無入力状態を示すヌルデータを用い参照データを生成し、乗算回路に入力するようにしたので、1情報ビット長を越える部分の影響を除去でき、より精度の高い相関処理を行うことができるという効果がある。

【0062】また、元の拡散符号あるいはヌルデータを繰り返し生成することにより簡単な構成でオーバサンプリング時の相関処理に対応できるという効果がある。

【0063】また、相関出力がある規定値以下の時は乗算回路、ラッチ回路、選択回路、加算回路等が動作しないようにしたので、低消費電力化を実現できるという効果がある。

【0064】また、相関出力がある規定値以下の時は乗算回路、ラッチ回路等が動作しないようにしたので、低消費電力化を実現できるという効果がある。

【0065】また、乗算の対象となるデータ列中のデータの個数を減らし、一部のデータのみとし、第2の乗算回路、第2の加算回路を簡略化したので、さらに低消費電力化を実現できるという効果がある。

【0066】また、乗算の対象となるデータのビット数を全ビットではなく個数を減らし、一部のビットのみとし、第2の乗算回路、第2の加算回路を簡略化したので、さらに低消費電力化を実現できるという効果がある。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1によるデジタルマッチドフィルタのブロック図である。

【図2】 本発明の実施の形態1によるデジタルマッチドフィルタの記憶回路内のブロック図である。

\* 【図3】 本発明の実施の形態2によるデジタルマッチドフィルタのブロック図である。

【図4】 本発明の実施の形態3によるデジタルマッチドフィルタのブロック図である。

【図5】 本発明の実施の形態4によるデジタルマッチドフィルタのブロック図である。

【図6】 本発明の実施の形態5によるデジタルマッチドフィルタのブロック図である。

【図7】 本発明の実施の形態6によるデジタルマッチドフィルタのブロック図である。

【図8】 本発明の実施の形態7によるデジタルマッチドフィルタのブロック図である。

【図9】 本発明の実施の形態8によるデジタルマッチドフィルタのブロック図である。

【図10】 従来のマッチドフィルタのブロック図である。

【図11】 従来のデジタルマッチドフィルタのブロック図である。

【図12】 情報信号と拡散符号との関係を説明するための説明図である。

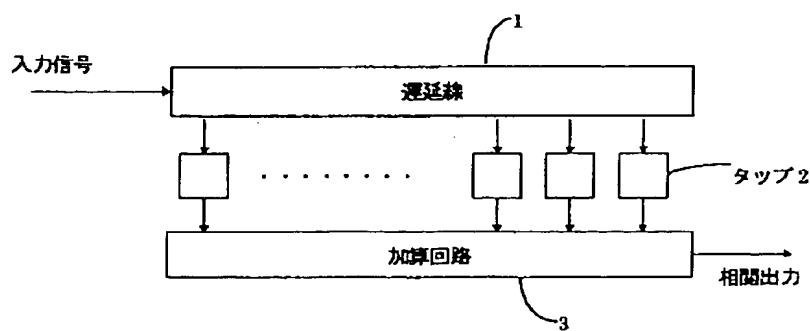
#### 【符号の説明】

1 遅延線、2 タップ、3 加算回路、4 A/D変換器、5 タイミング信号発生回路、6 記憶回路、7 拡散符号発生回路、8 ロード待ちバッファ、9 シフトレジスタ、10 加算回路、11 アドレス信号発生回路、12 乗算回路、13 選択回路、14 加算窓制御回路、15 乗算窓制御回路、16 選択回路、17 空き詰め回路、18 繰り返し制御回路、19 ラッチ回路、20 第2の乗算回路、21 第2の加算回路、22 判定回路、23 選択回路、30 バッファ、31 シフトレジスタ、100 入力信号生成手段、200 参照信号生成手段。

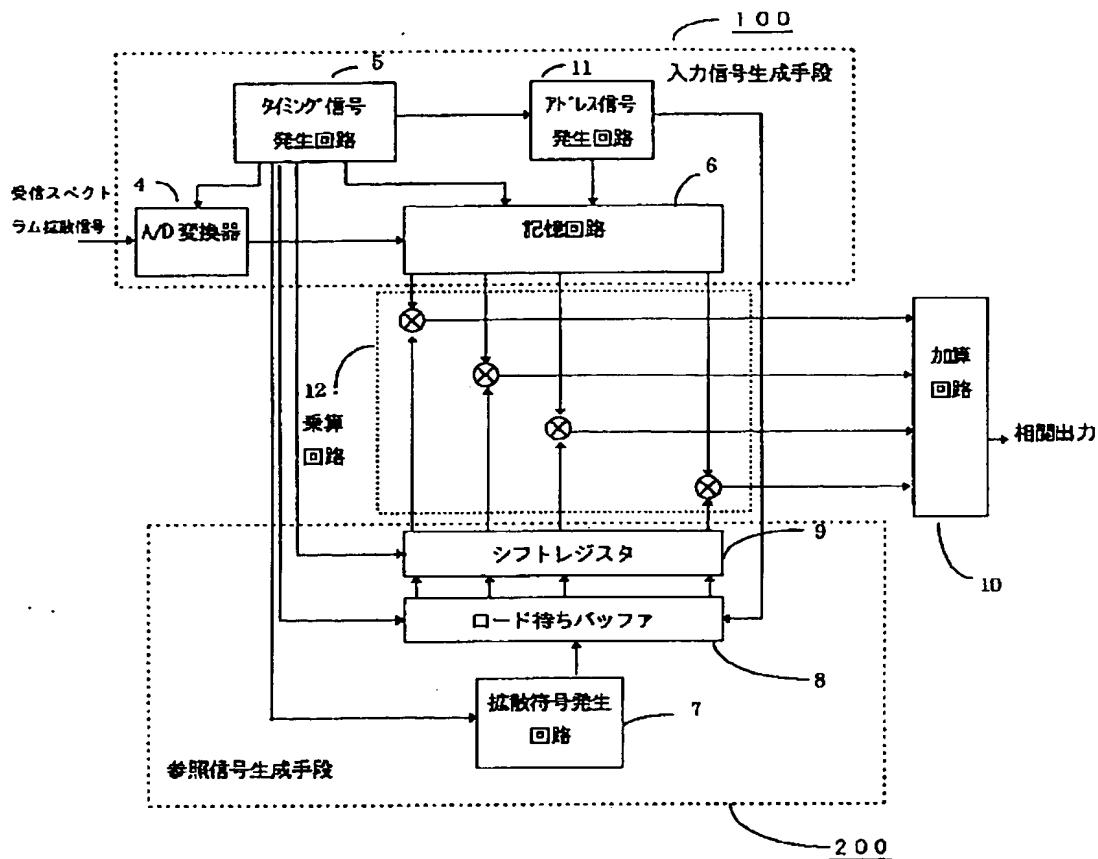
30

\* 30

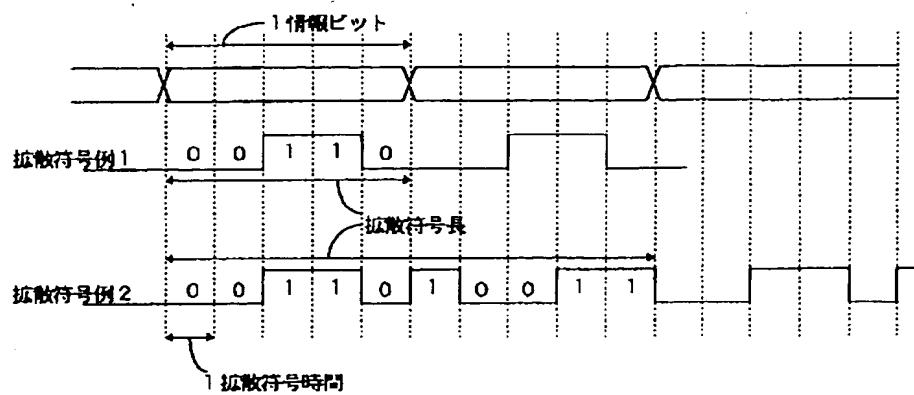
【図10】



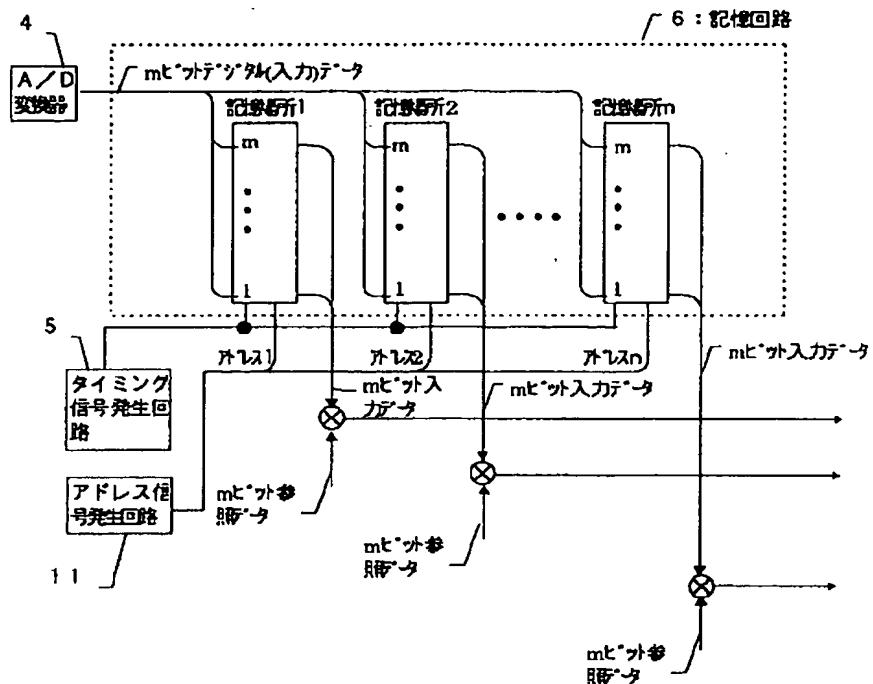
【図1】



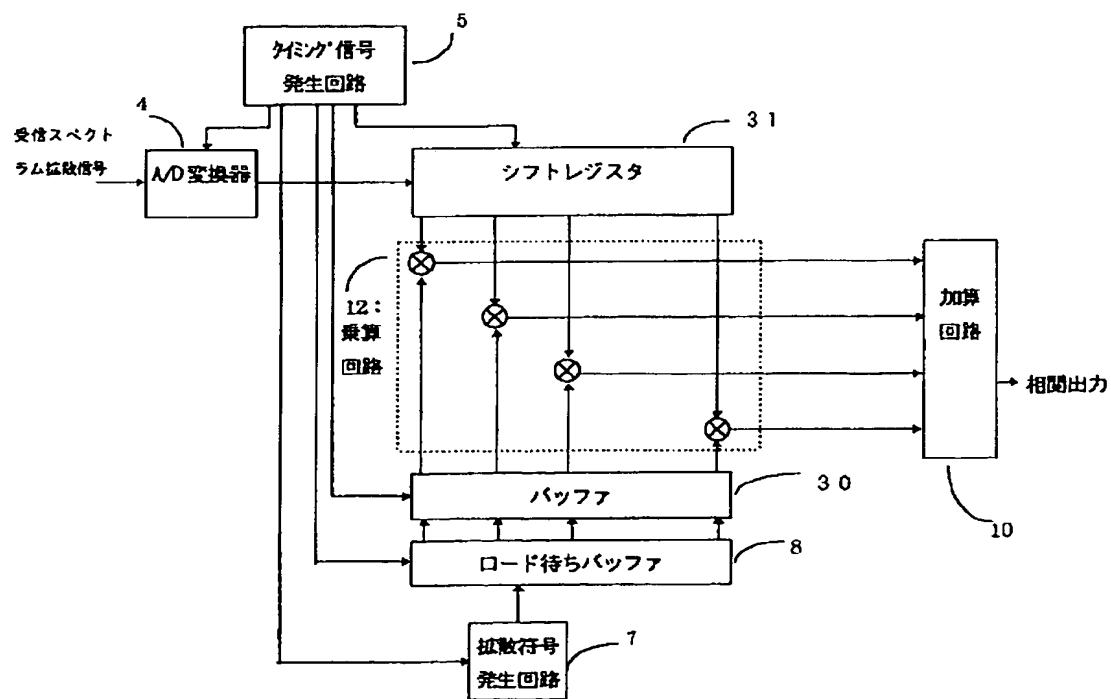
【図12】



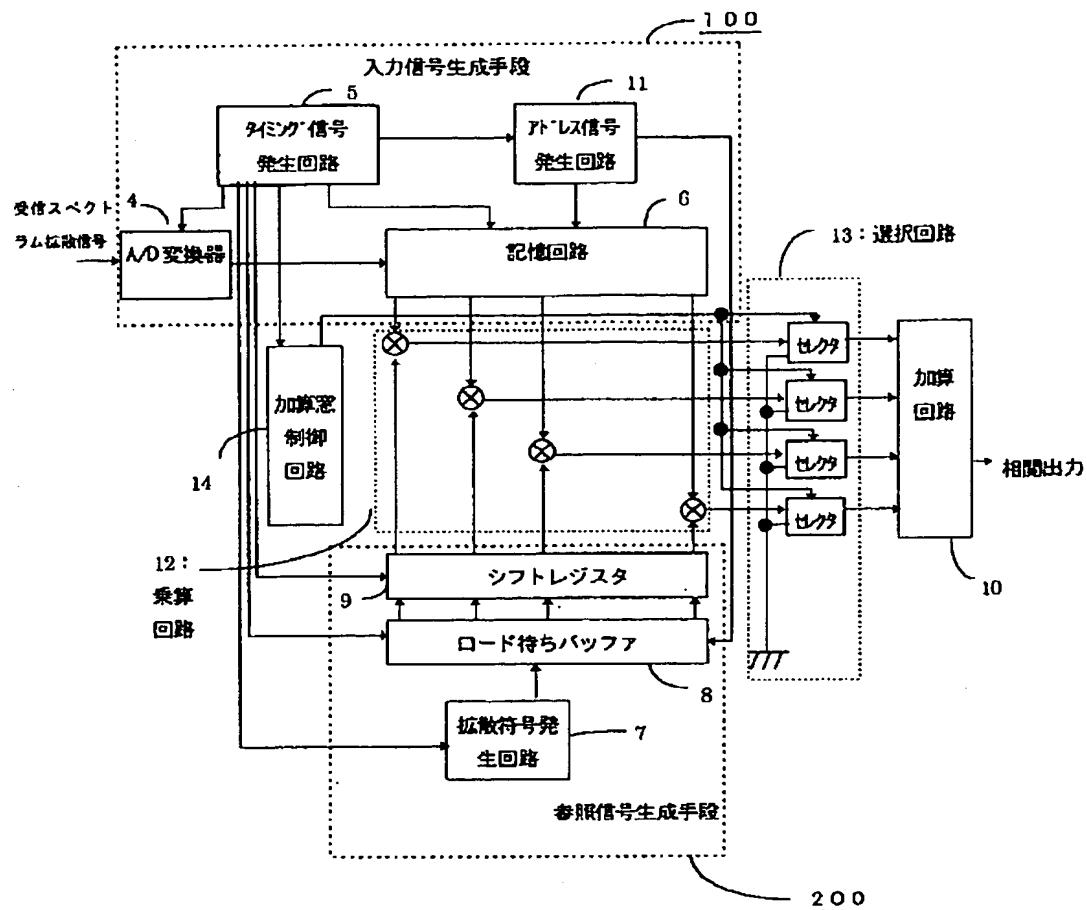
【図2】



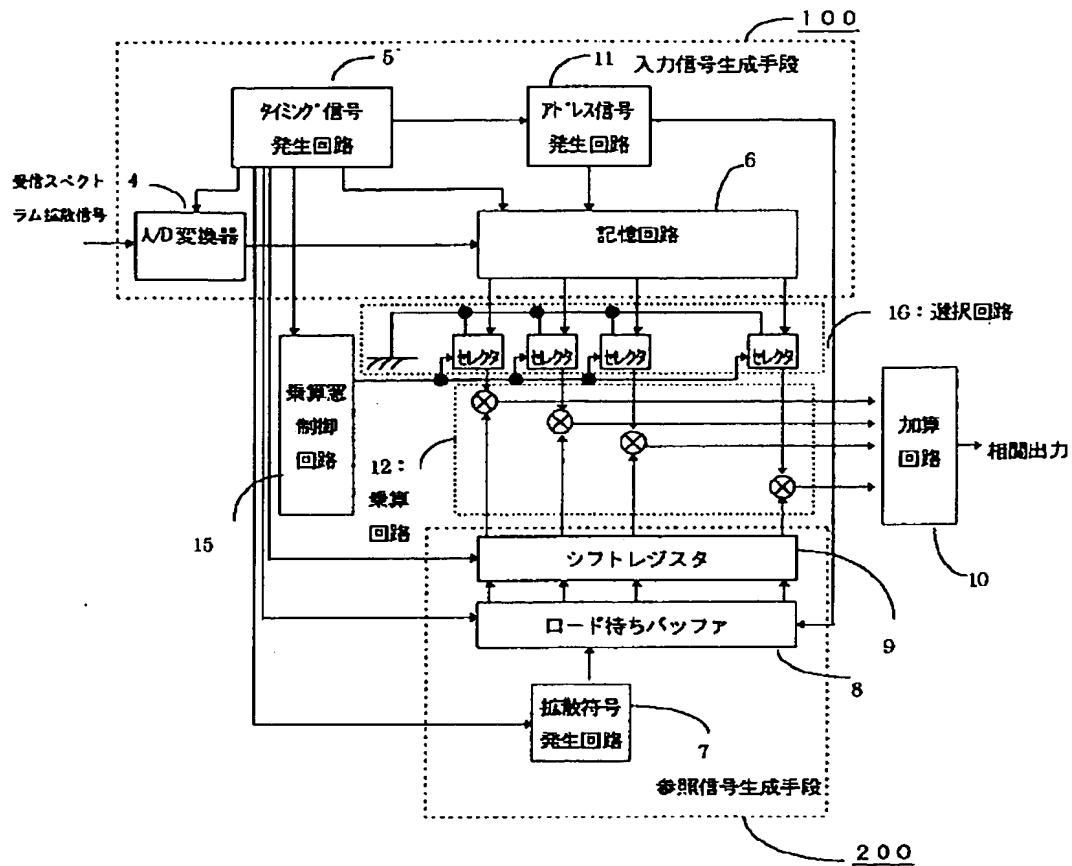
【図11】



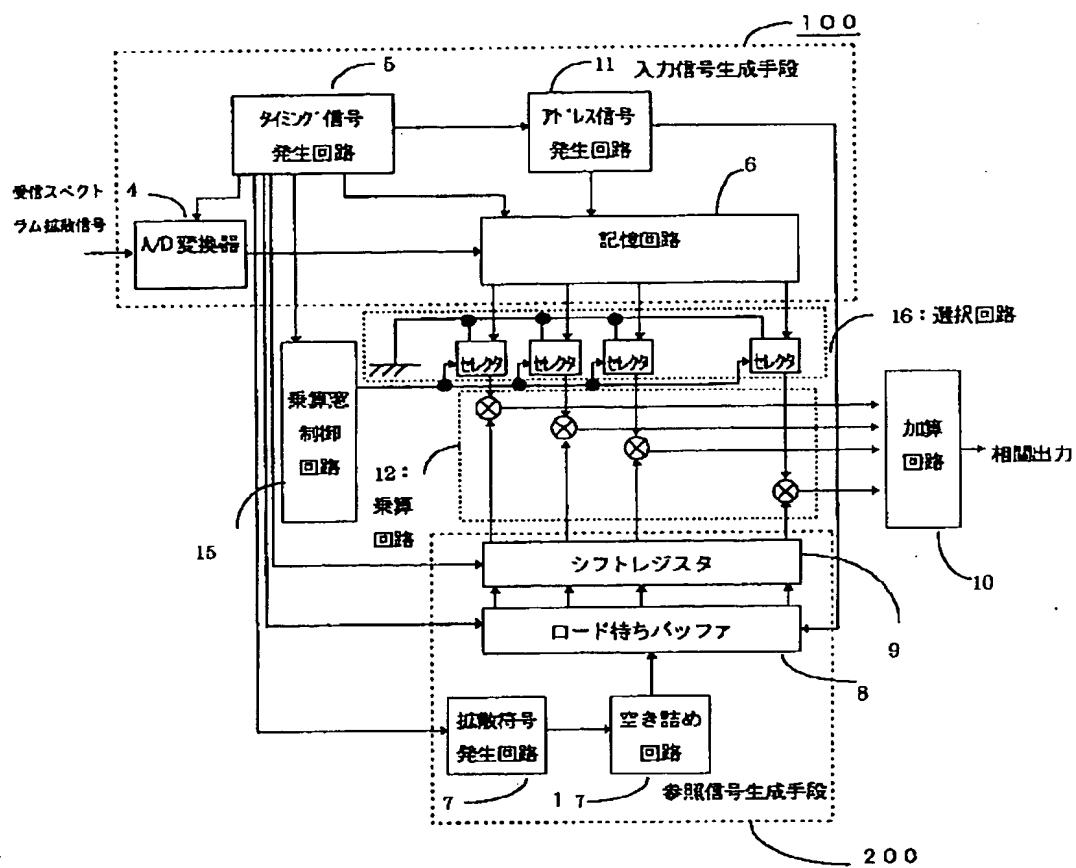
【図3】



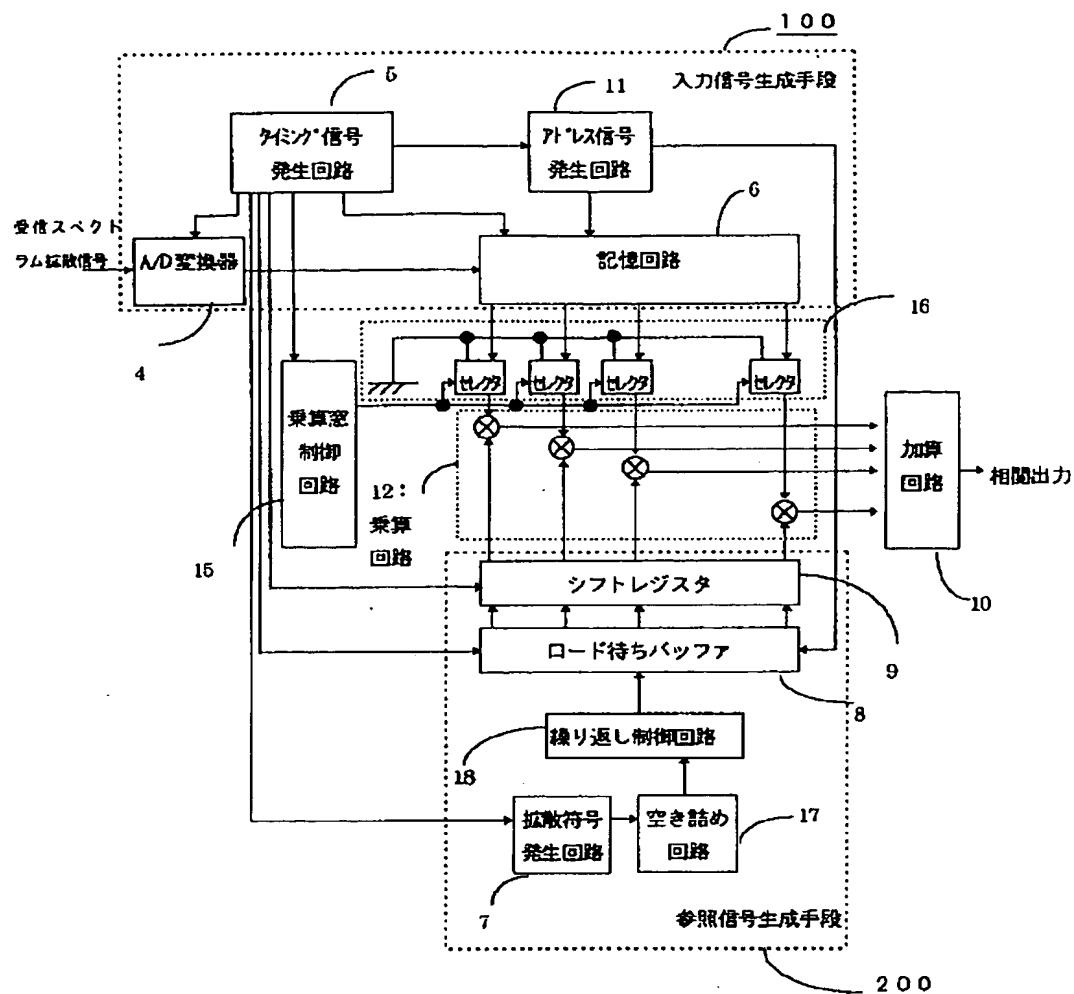
【図4】



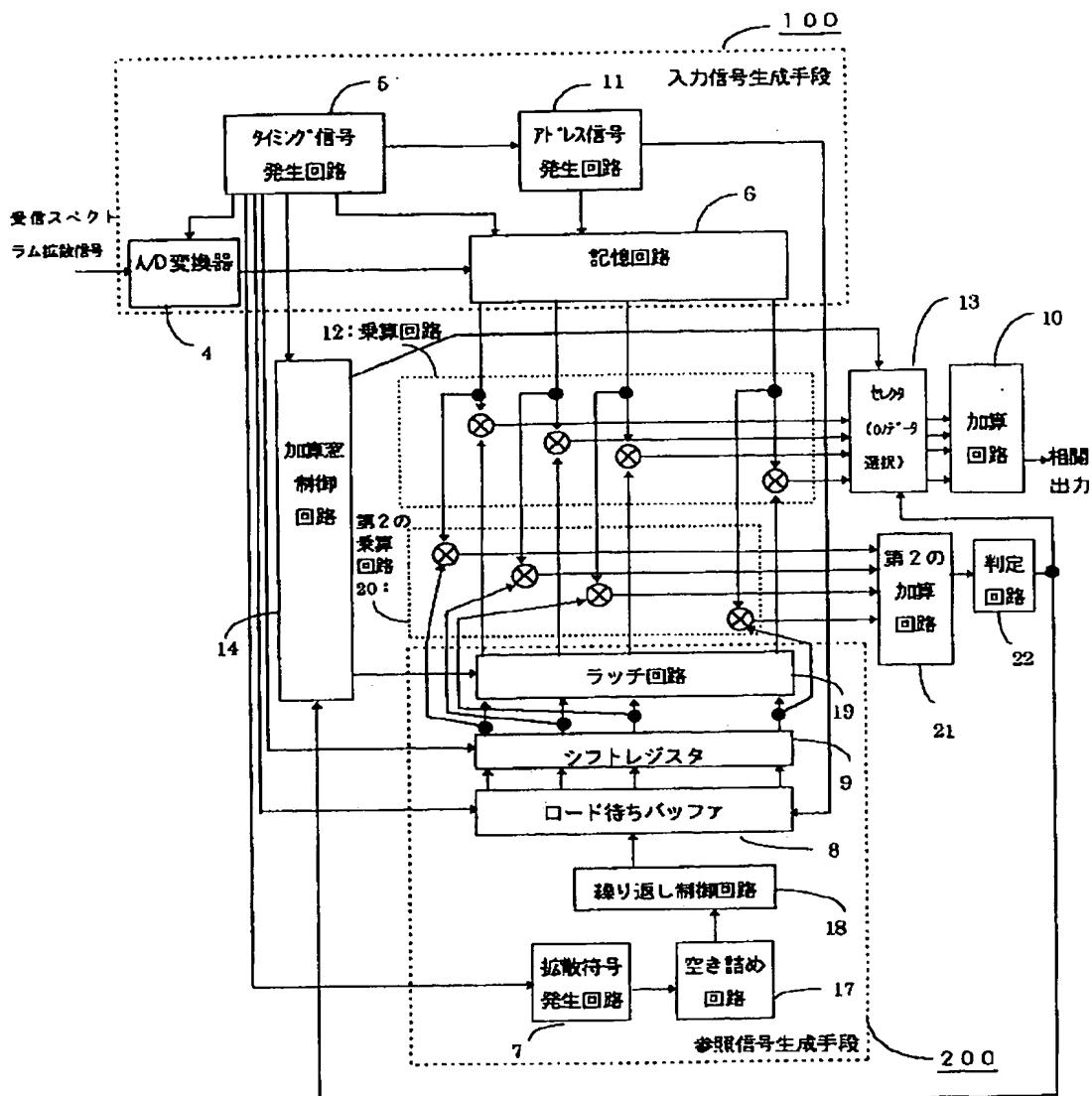
【図5】



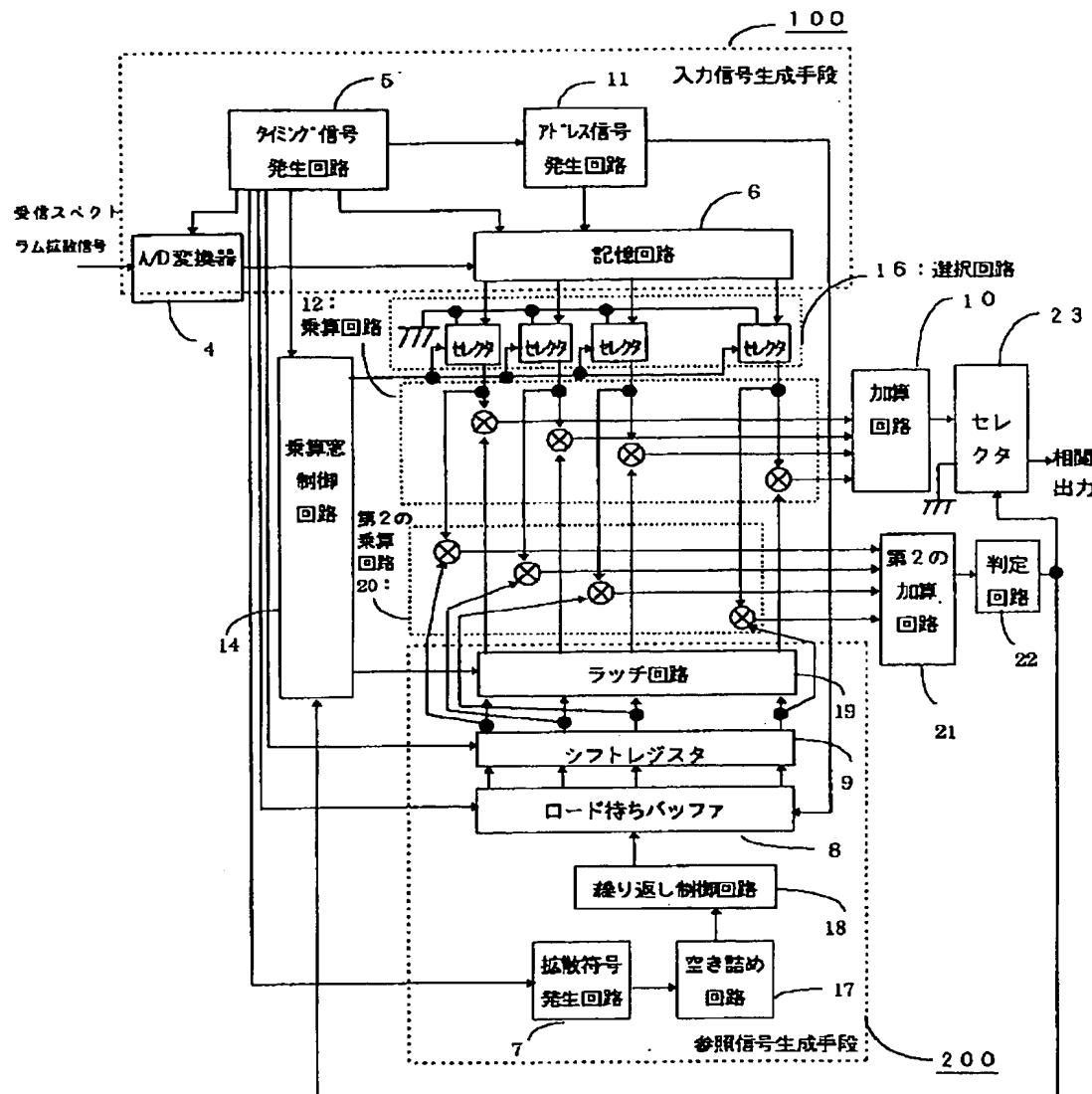
【図6】



【図7】



【図8】



【図9】

